

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05099980

(43)Date of publication of application: 23.04.1993

(51)Int.Cl.

G01R 31/26
H03K 19/00

(21)Application number: 03257646

(71)Applicant:

FUJITSU LTD

(22)Date of filing: 04.10.1991

(72)Inventor:

SATO TOSHIRO

YAMAMOTO KUNITOSHI

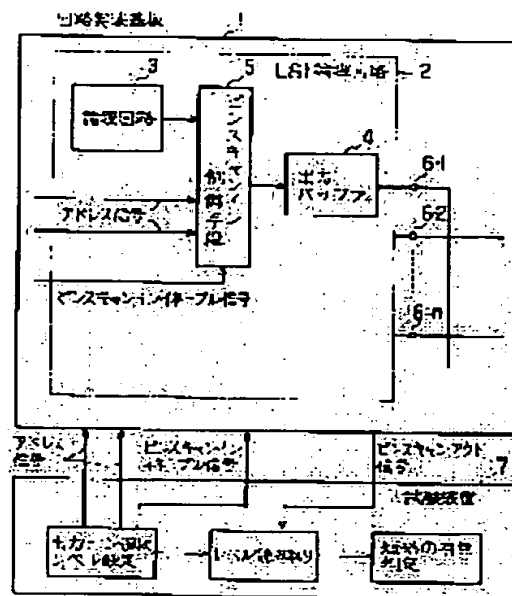
ADACHI HIROYUKI

(54) PIN-SCAN-IN LSI LOGIC CIRCUIT AND TESTING METHOD OF SUBSTRATE MOUNTING CIRCUIT

(57)Abstract:

PURPOSE: To obtain means for making particularly the detection of a shortcircuit between wirings easy when the wiring of a substrate mounting an LSI logic circuit is to be tested.

CONSTITUTION: An LSI logic circuit 2 mounted on a circuit board 1 is designed to be a pin-scan-in model so that specific output pin is selected to generate '1' or '0' logic output, and the other output pins generate logic outputs different from the logic value of the selected specific output pin. Moreover, the output pins of the LSI logic circuit are sequentially selected on the circuit board to generate the above logic outputs. According to this testing method, the presence/absence of a shortcircuit or disconnection between wirings can be distinguished by checking the signal level on the wiring connected to each output pin.



LEGAL STATUS

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-99980

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl.⁵

G 0 1 R 31/26

H 0 3 K 19/00

識別記号

庁内整理番号

G 9214-2G

B 6959-5J

F I

技術表示箇所

審査請求 未請求 請求項の数3(全15頁)

(21)出願番号

特願平3-257646

(22)出願日

平成3年(1991)10月4日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 佐藤 敏郎

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 山本 国利

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 安達 裕幸

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 長谷川 文廣 (外2名)

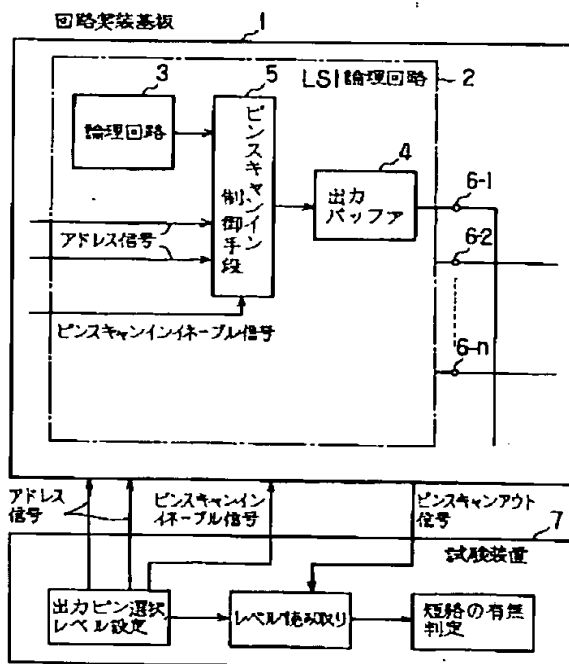
(54)【発明の名称】 ビンスキャンイン型LSI論理回路および回路実装基板試験方法

(57)【要約】

【目的】 LSI論理回路を搭載した回路実装基板の配線試験において特に配線間短絡の検出を容易にするための手段を提供することを目的としている。

【構成】 回路実装基板に搭載されるLSI論理回路について、特定の出力ピンを選択して“1”あるいは“0”の論理出力を生じさせ、残りの全ての出力ピンからは選択された特定の出力ピンの論理値とは異なる値の論理出力を生じさせることが可能なビンスキャンイン型の構成をもたせ、また回路実装基板上でLSI論理回路の出力ピンを順次選択して上記したような論理出力を生じさせ、各出力ピンに接続された配線上の信号レベルをチェックすることにより、配線間の短絡あるいは断線の有無を識別できるように構成した。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 論理値を出力する複数の入力ピンおよび出力ピンを有し、任意の1つの出力ピンを選択して論理値1と論理値0のいずれか一方のレベルに強制的に付勢し、残りの全ての出力ピンを前記論理値の他方のレベルに強制的に付勢するピンスキャンイン制御手段を備えていることを特徴とするピンスキャンイン型LSI論理回路。

【請求項2】 請求項1において、ピンスキャンイン型LSI論理回路はECLで実現され、所定の論理機能をもつ論理回路と出力バッファとを含み、ピンスキャンイン制御手段はピンスキャンインイネーブル信号とアドレス信号を入力とし、ピンスキャンインイネーブル信号の値により上記所定の論理機能をもつ論理回路の出力を有効または無効にすると同時に特定のアドレス信号の値の検出を無効または有効にし、その結果の値を出力バッファ等から出力ピンに出力させるよう制御することを特徴とするピンスキャンイン型LSI論理回路。

【請求項3】 論理値を入力出力する複数の入力ピンおよび出力ピンを有し、任意の1つの出力ピンを選択して論理値0と論理値1のいずれか一方のレベルに強制的に付勢し、残りの全ての出力ピンを前記論理値の他方のレベルに強制的に付勢するピンスキャンイン制御手段を備えたピンスキャンイン型LSI論理回路を搭載した回路実装基板において、上記ピンスキャンイン型LSI論理回路の出力ピンを順次1つずつ選択して一方の論理値のレベルに付勢するとともに残りの出力ピンを他方の論理値のレベルに付勢し、その際、各出力ピンに接続された配線のレベルを調べて、配線間の短絡および配線の断線の有無を判定することを特徴とする回路実装基板試験方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、計算機等における回路実装基板内の配線の短絡や断線故障の試験を容易にするピンスキャンイン型LSI論理回路と、回路実装基板の試験方法に関する。

【0002】計算機システムが、今日のような大規模オンラインシステムやLANに代表されるようなネットワークシステムで発生した場合には、その社会的影響は極めて大きい。計算機用実装基板の不良はこのようなダウン発生の原因となりうる。したがって、計算機用実装基板の不良は出荷以前に完全に検出される必要がある。本発明は計算機用実装基板の不良を完全かつ容易に検出可能とするLSI論理回路と試験方法を提供するものである。

【0003】

【従来の技術】最近の多数のLSIを搭載した高集積度の計算機用実装基板では、配線パターンが著しく細密化されていることにより、配線間の短絡や配線の断線など

の不良が発生しやすくなっている。

【0004】従来、このような実装基板の配線試験は、LSIの個々の出力ピンとそれに接続された他のLSIの入力ピンなどのポイント間の配線接続のチェックや、信号レベルのチェックのみを行うものであり、配線間の短絡故障についてはチェックすることができなかった。これはLSIの各出力ピンの信号レベルがまちまちであり、配線間短絡により生じるレベルを特定して異常を判定することが困難であることによる。次に図13の具体例を用いて説明する。図中、1は回路実装基板であり、LSIAないしLSIEが搭載されているLSI論理回路、1₁ないし1₆は配線を示す。

【0005】たとえば1₂が断線している場合には、LSIBの1₂への出力レベルとLSIEの入力レベルとが不一致であることによって、あるいはLSIBの出力レベルの変化にLSIEの入力レベルが追従しないことによって検出される。また1₄とV_{EE}との間の短絡はレベルがV_{EE}の異常レベルであることによって検出できる。しかし1₅と1₆との間の短絡故障は、LSICの1₅出力レベルとLSIDの1₆出力レベルとがともに“1”あるいは“0”である場合には検出することができないので、1₅と1₆に対するLSIの論理出力を異ならせなければならない。つまり、短絡状態は2つの配線の異なるレベルが結合して中間のレベルになることによって識別される。従って配線数が多い場合には、短絡をチェックする配線同士の組み合わせも膨大になるため、このような論理出力の制御は極めて困難なものとなる。

【0006】

【発明が解決しようとする課題】本発明は、LSI論理回路を搭載した回路実装基板の配線試験において特に配線間短絡の検出を容易にするための手段を提供することを目的としている。

【0007】

【課題を解決するための手段】本発明は、回路実装基板に搭載されるLSI論理回路について、特定の出力ピンを選択して“1”あるいは“0”の論理出力を生じさせ、残りの全ての出力ピンからは選択された特定の出力ピンの論理値とは異なる値の論理出力を生じさせることが可能なピンスキャンイン型の構成をもたせ、また回路実装基板上でLSI論理回路の出力ピンを順次選択して上記したような論理出力を生じさせ、各出力ピンに接続された配線上の信号レベルをチェックすることにより、配線間の短絡あるいは断線の有無を識別できるようにするものである。

【0008】図1は、本発明の原理説明図である。図1において、1は、回路実装基板である。

【0009】2は、ピンスキャンイン型のLSI論理回路である。3は、本来の使用目的である論理機能をもつ論理回路である。4は、出力バッファであり、論理回路3の出力をバッファリングして出力レベルの安定化、信

号遅延時間の短縮、後段から前段への信号干渉の低減などの作用を行う。

【0010】5は、ピンスキャンイン制御手段であり、出力ピンを選択するアドレス信号のデコード結果と論理回路3の出力とをピンスキャンイン制御信号の値によって切替え選択し、出力バッファ4等を介して出力させる。

【0011】6-1ないし6-nは、出力ピンである。ただし6-1以外の出力ピンに対応する回路要素は省略して示されている。7は、試験装置であり、試験対象の回路実装基板1の各LSI論理回路に対してアドレス信号とピンスキャンインイネーブル信号を供給し、また出力ピンあるいは入力ピンの信号レベルを読み出して（ピンスキャンアウト機能が備えられているものとする）、正常、異常を判定し、配線間短絡故障や断線故障を検出する。

【0012】

【作用】図2の論理回路の具体例を用いて、本発明の作用を説明する。図2において、8、9、10はNORゲートであり、それぞれ図1の出力バッファ4に相当する。したがってそれぞれの前段には、図1のピンスキャンイン制御手段5および論理回路3が存在しているが、説明を簡単化するため省略して示してある。

【0013】各NORゲート8、9、10は、それぞれ肯定出力線11、12、13と否定出力線14、15、16とをそなえている。いまNORゲート8の出力線11、14とNORゲート9、10の各出力線12、13、15、16との間の短絡故障を検出するものとする。

【0014】まず図2の(a)に示すように、NORゲート8をアドレス選択して入力にHレベルを設定し、NORゲート9、10は非選択として入力にLレベルを設定する。この結果、各出力線11ないし16には図示されているようなH、Lのレベルが出力される。配線間の短絡の有無は、Hレベルの線とLレベルの線が交差している箇所でのみ検出可能であるから、図中の○で印された4つの交点17、18、19、20において検出される。

【0015】次に図2の(b)に示すように、NORゲート9を選択してその入力にHレベルを設定し、他のNORゲートにはLレベルを設定する。この結果、図示された17、19、21、22の各交点で短絡の有無の検出が可能となる。ここで交点17、19は、図の(a)と重複している。

【0016】続いて図2の(c)に示すように、NORゲート10を選択してその入力にHレベルを設定し、他のNORゲートにはLレベルを設定する。この結果、18、20、23、24の各交点で短絡の有無の検出が可能となる。ここで交点18、20は、図の(a)と重複している。

【0017】以上のようにして、ゲートの選択を入れ替えることにより、全ての交点での短絡の有無の検出が可能となる。

【0018】

【実施例】図3により、本発明によるピンスキャンイン型LSI論理回路の実施例の基本構成を説明する。

【0019】図3の(a)は従来のLSI論理回路の例であり、DI1、DI2、DI3の3入力のNORゲート25に出力バッファ26が結合されているものである。図3の(b)は、(a)の論理回路を本発明によるピンスキャンイン型LSI論理回路に置換したものである。図中、27、28、29はピンスキャンイン制御手段を構成するNORゲート、+PIN-SCAN-IN-ENABLEはピンスキャンインイネーブル信号、-PIN-SCAN-IN-ENABLEは反転ピンスキャンイネーブル信号、-AD1、-AD2は反転アドレス信号を表わす。

【0020】-AD1、-AD2はNORゲート27で一致を検出、すなわちデコードされ、NORゲート29の一方の入力に加えられる。本来の論理機能を実現するNORゲート25の出力はNORゲート28の一方の入力に加えられ、NORゲート28、29の各出力はワイアードOR接続されて出力バッファ26に入力される。+PIN-SCAN-IN-ENABLEがHレベル（後述）のときNORゲート28が有効化され、NORゲート25の出力が出力バッファ26に送られ通常の動作が行われる。他方、+PIN-SCAN-IN-ENABLEがLレベルのときには、NORゲート29が有効化され、NORゲート27のアドレスデコード出力が出力バッファ26に送られ、ピンスキャンイン動作が行われる。

【0021】図4ないし図5に、本発明の実施例によるピンスキャンイン型LSI論理回路の実施例を示す。図4は、NORゲートタイプのものであり、①は図3で説明した1入力の出力バッファをもつ回路であり、②は2入力の出力バッファをもつ回路、③は高速化のために前段が信号振幅を1/2にした差動ゲート構造となっている回路の例を示している。図中の点線ブロック内が本来の論理回路であり、SIGは入力論理信号を表わす。

【0022】同様にして、図5はORゲートタイプのものであり、①、②、③はそれぞれ図4の場合のものに対応している。図6ないし図11に、図4および図5に示されている各論理回路をECL (Emitter Coupled Logic) で実現した実施例回路の構成を示す。図6ないし図8が図4の①、②、③の回路に対応し、図9ないし図11は図5の①、②、③の回路に対応する。

【0023】図示されている各ECLの回路中では、+PIN-SCAN-IN-ENABLEと-PIN-SCAN-IN-ENABLEの2つの制御信号に、図12に示すような通常のECLレベルよりも高いHレベル

(H⁺ で表わす) が用いられている。このH⁺ レベルは、ECL中で振幅低減のために2つのトランジスタのコレクタ回路と電源との間に共通に挿入されているレベルシフト抵抗を削除することによって生成される。ECLにH⁺ レベルの信号が入力されると、そのECLの状態はH⁺ のみによって優先的に決定され、同一ECLへの入力信号は動作に無関係となる。

【0024】図6のNORゲートタイプで1入力の出力バッファをもつ実施例回路を例に説明する。図6において、30, 31はECLのNORゲート、32, 33は出力バッファである。また34ないし42はトランジスタである。

【0025】+PIN-SCAN-IN-ENABLEがLレベルのとき-PIN-SCAN-IN-ENABLEはH⁺ レベルであり、ECL30における入力DI1, DI2, DI3のNOR論理は機能するが、ECL31ではトランジスタ39が固定的に導通するため、トランジスタ40, 41への入力-AD1, -AD2の作用は無効化される。

【0026】そのため図中のバッファ32のトランジスタ43を介して、DI1, DI2, DI3のNOR出力が得られる。他方、+PIN-SCAN-IN-ENABLEがH⁺ レベルのときには、-PIN-SCAN-IN-ENABLEはLレベルとなり、ECL30のトランジスタ38が固定的に導通するため、ECL30のNOR機能は無効化される。そしてECL31のトランジスタ39は固定的に非導通となるため、アドレス入力-AD1, -AD2のNOR論理のみが有効となって、バッファ32のトランジスタ44からNOR出力が得られる。図中の真理値表はこれらの論理動作の制御条件を示している。なおXは任意あるいは無効を表わす。

【0027】図7のNORゲートタイプ・2入力出力バッファの実施例、図8のNORゲートタイプ・差動ゲートの実施例、図9のORゲートタイプ・1入力出力バッファの実施例、図10のORゲートタイプ・2入力出力バッファの実施例、図11のORゲートタイプ・差動ゲートの実施例、のそれぞれの場合も、各ECLにおけるPIN-SCAN-IN-ENABLEの作用は同じであり、各論理動作の制御条件は真理値表に示されているようなものとなる。

【0028】

【発明の効果】本発明によれば、ピンスキューイン型のLSI論理回路を用いることにより、任意の1つの出力ピンのレベルを他の全ての出力ピンのレベルと簡単に異ならせることができ、多数の出力ピンに接続された配線間の短絡の有無を系統的に容易に検出することができるため、計算機用実装基板の試験精度が向上し、信頼性が著しく改善される。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の作用説明図である。

【図3】本発明実施例回路の基本構成説明図である。

【図4】NORゲートタイプの実施例の論理構成図である。

【図5】ORゲートタイプの実施例の論理構成図である。

【図6】NORゲートタイプ・1入力出力バッファの実施例の回路図である。

【図7】NORゲートタイプ・2入力出力バッファの実施例の回路図である。

【図8】NORゲートタイプ・差動ゲートの実施例の回路図である。

【図9】ORゲートタイプ・1入力出力バッファの実施例の回路図である。

【図10】ORゲートタイプ・2入力出力バッファの実施例の回路図である。

【図11】ORゲートタイプ・差動ゲートの実施例の回路図である。

【図12】実施例論理回路の信号レベル図である。

【図13】従来の回路実装基板の試験方法の説明図である。

【符号の説明】

1：回路実装基板

2：LSI論理回路

3：論理回路

4：出力バッファ

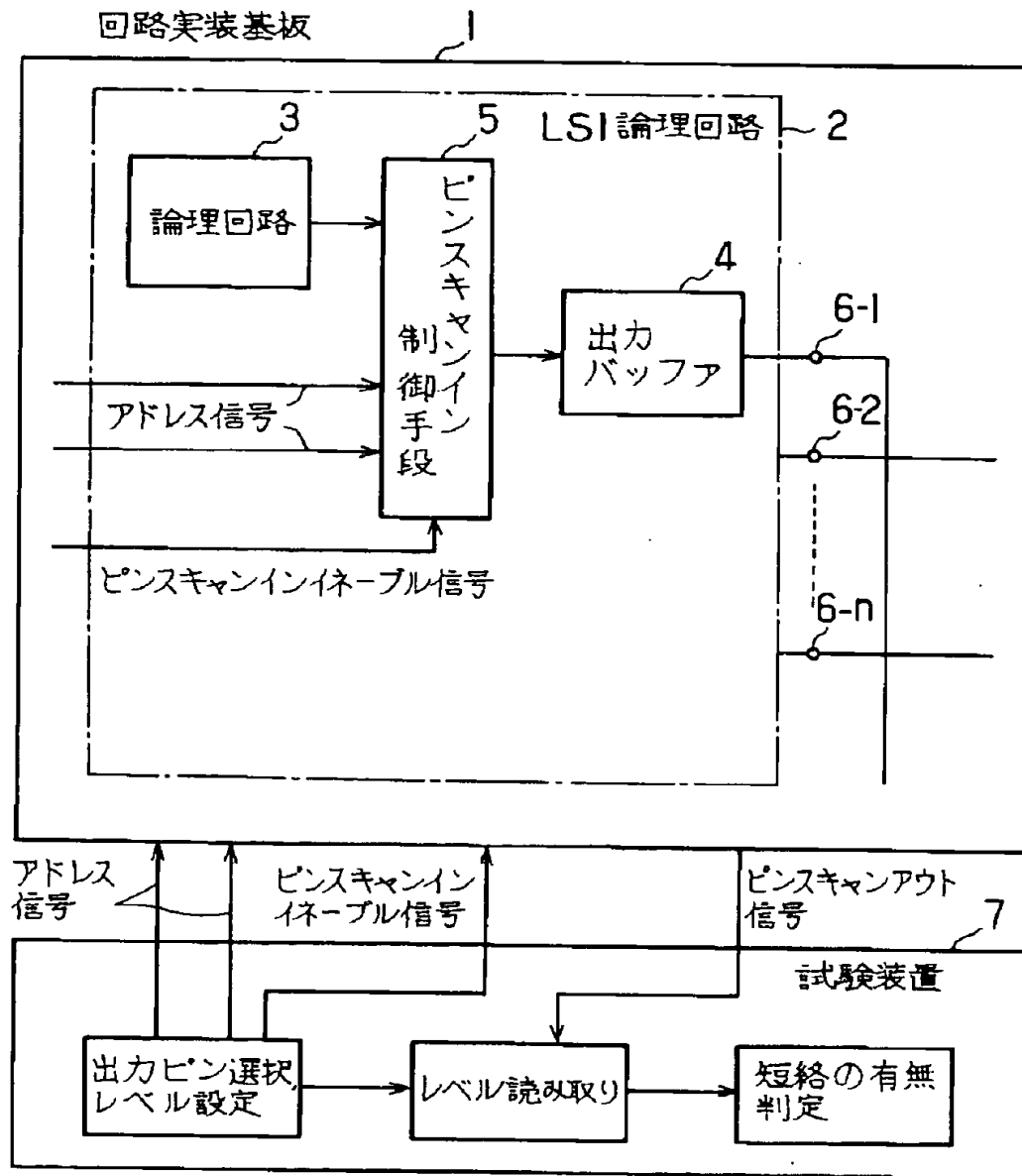
5：ピンスキューイン制御手段

6-1～6-n：出力ピン

7：試験装置

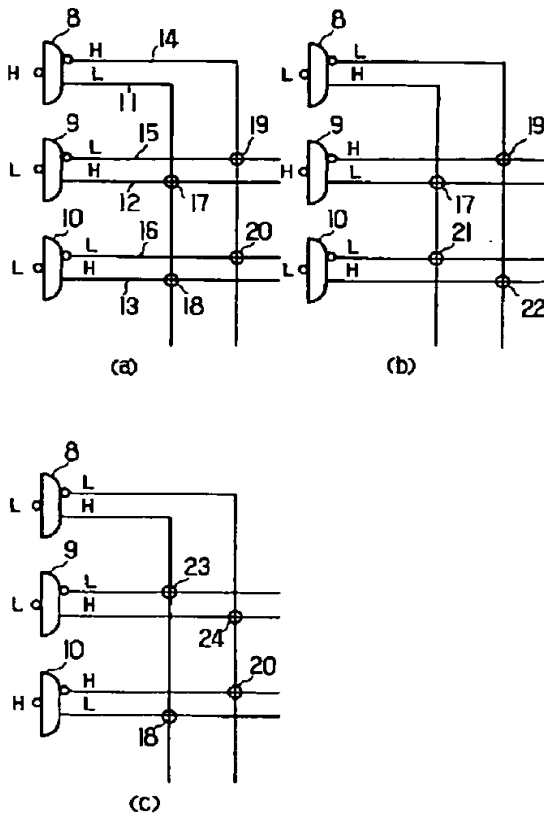
【図1】

本発明の原理説明図



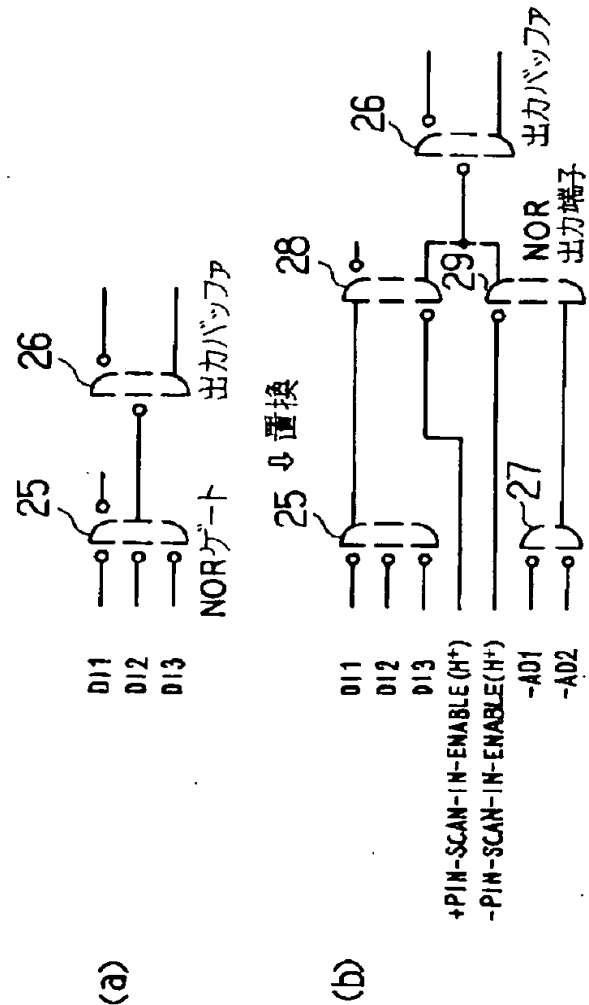
【図2】

本発明の作用説明図



【図3】

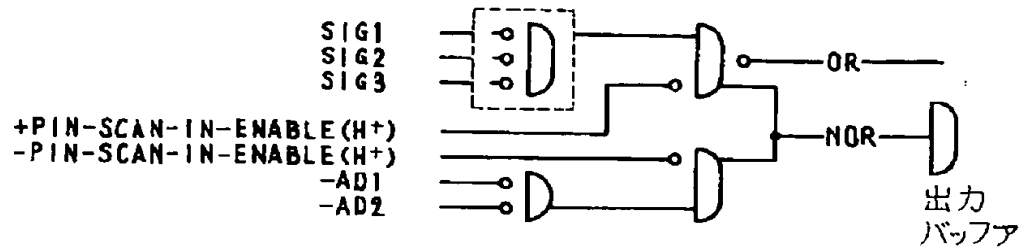
本発明実施例回路の基本構成説明図



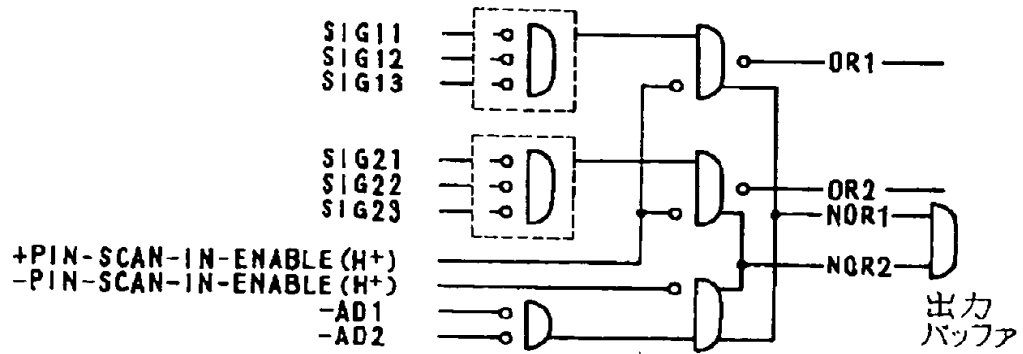
【図4】

NORゲートタイプの実施例の論理構成図

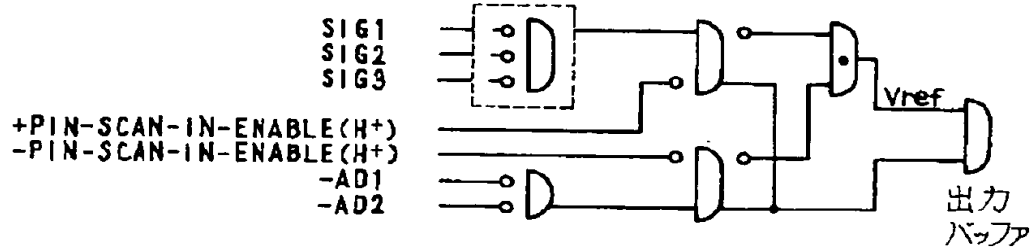
① 1入力出力バッファケース



② 2入力出力バッファケース



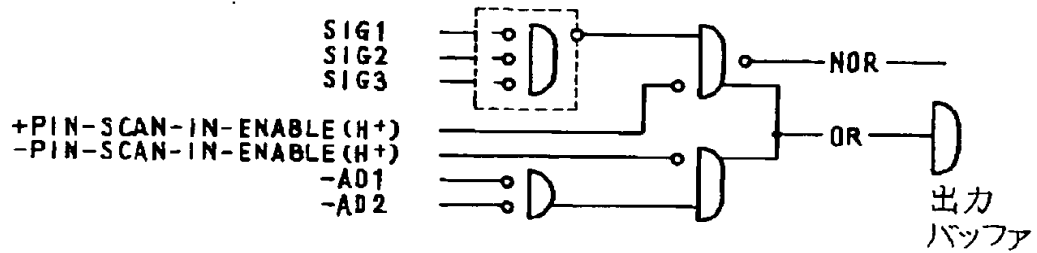
③ 差動ゲートケース



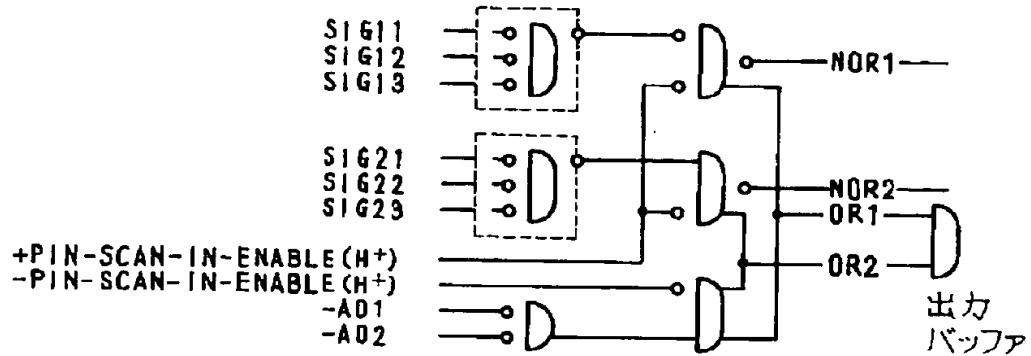
【図5】

ORゲートタイプの実施例の論理構成図

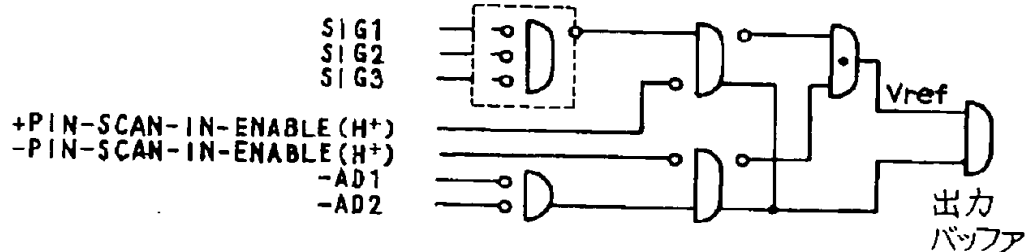
① 1入力出力バッファケース



② 2入力出力バッファケース

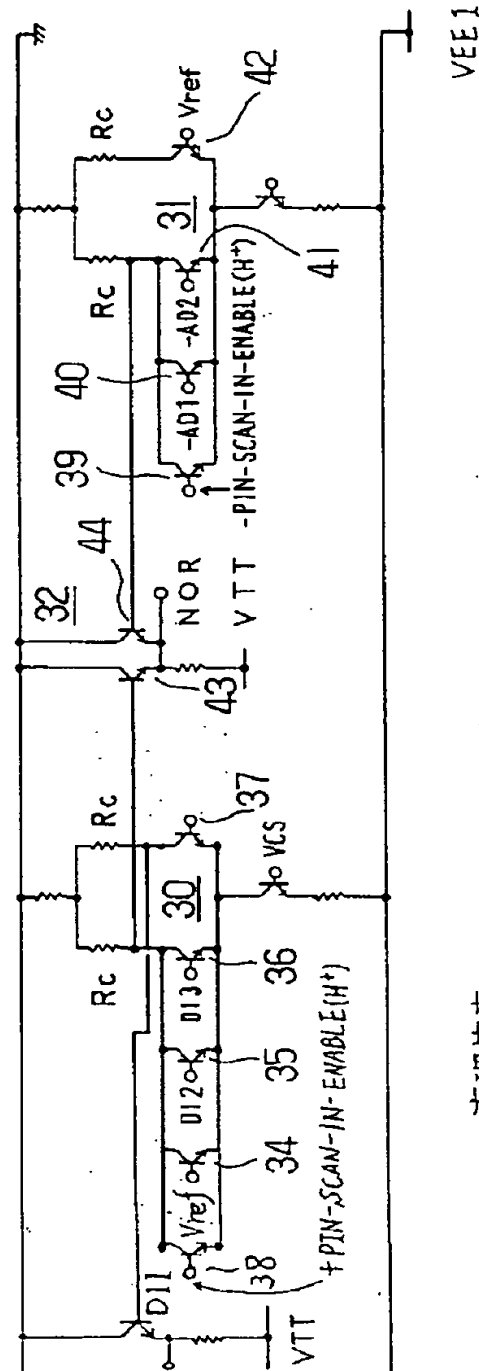


③ 差動ゲートケース



【図6】

NORゲートタイプ1入力出力バッファの実施例の回路図

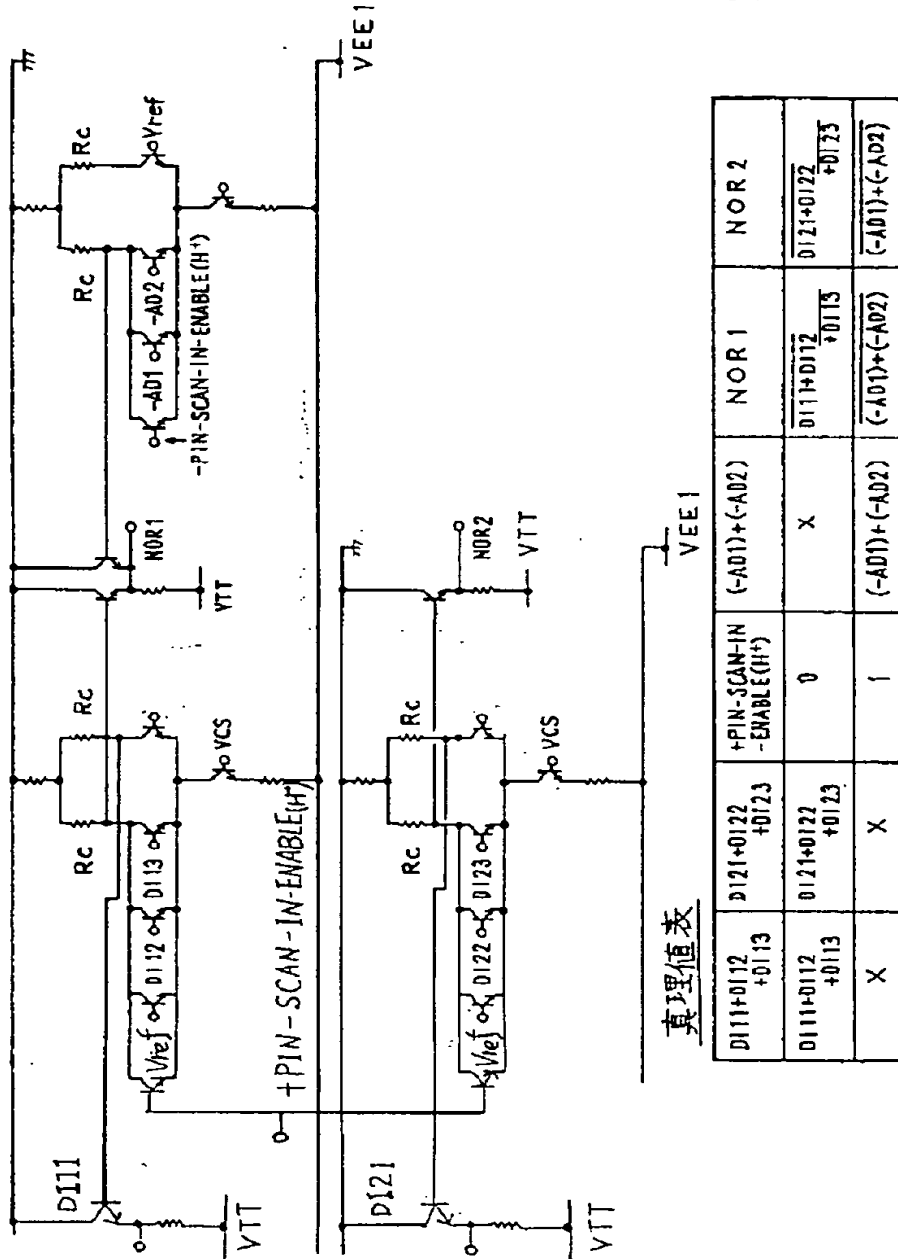


真理値表

D11+D12+D13	+PIN-SCAN-IN-ENABLE(H ⁺)	(-AD1)+(-AD2)	NOR出力
D11+D12+D13	0	X	$\overline{D11+D12+D13}$
X	1	$(-AD1)+(-AD2)$	$\overline{(-AD1)+(-AD2)}$

【図7】

NORゲートタイプ・2入力出力バッファの実施例の回路図

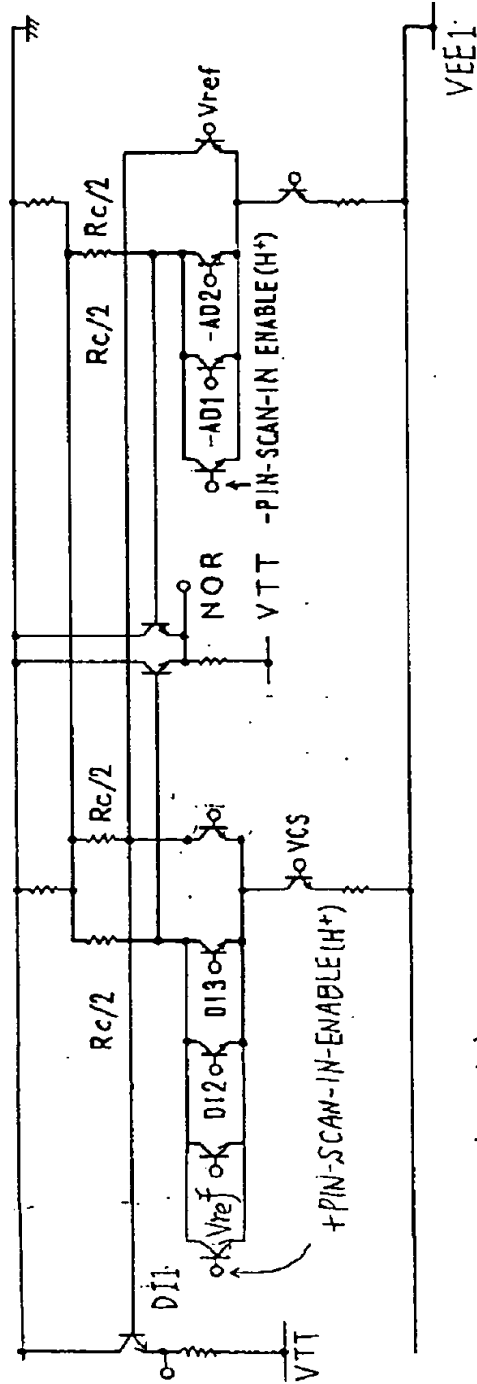


真理値表

D111+D112 +D113	D121+D122 +D123	+PIN-SCAN-IN- -ENABLE(H ⁺)	NOR 1	NOR 2
D111+D112 +D113	D121+D122 +D123	0	$\frac{D111+D112}{+D113}$	$\frac{D121+D122}{+D123}$
X	X	1	$\frac{(-AD1)+(-AD2)}{(-AD1)+(-AD2)}$	$\frac{(-AD1)+(-AD2)}{(-AD1)+(-AD2)}$

【図8】

NORゲートタイロ・差動ゲートの実施例の回路図

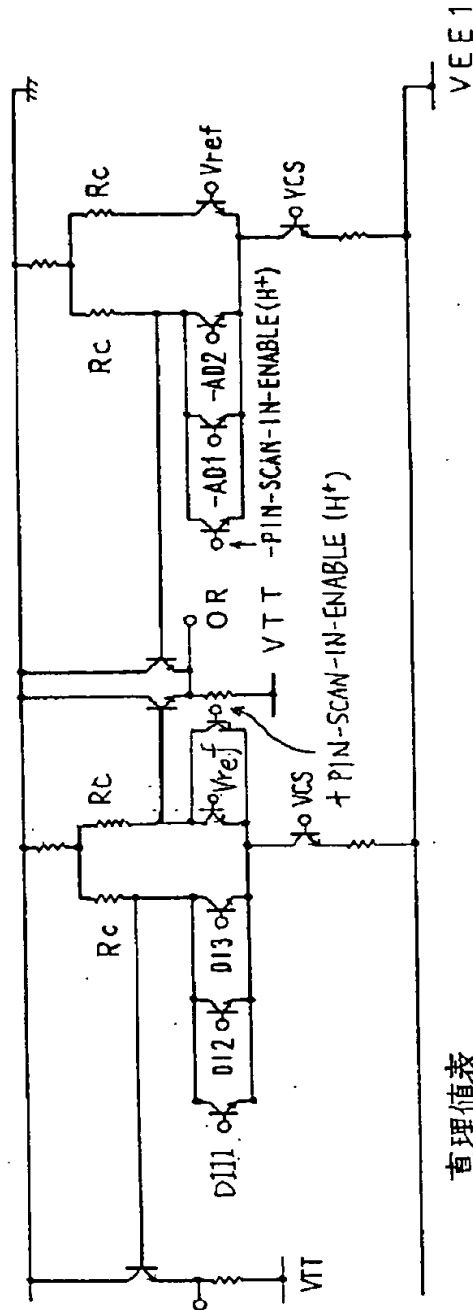


真理値表

D11+D12+D13	+PIN-SCAN-IN-ENABLE(H ⁺)	(-AD1)+(-AD2)	NOR出力	OR出力
D11+D12+D13	0	X	$\overline{D11+D12+D13}$	D11+D12+D13
X	1	$(-AD1)+(-AD2)$	$\overline{(-AD1)+(-AD2)}$	$(-AD1)+(-AD2)$

【図9】

ORゲートタイプ・1入力出力バッファの実施例の
回路図

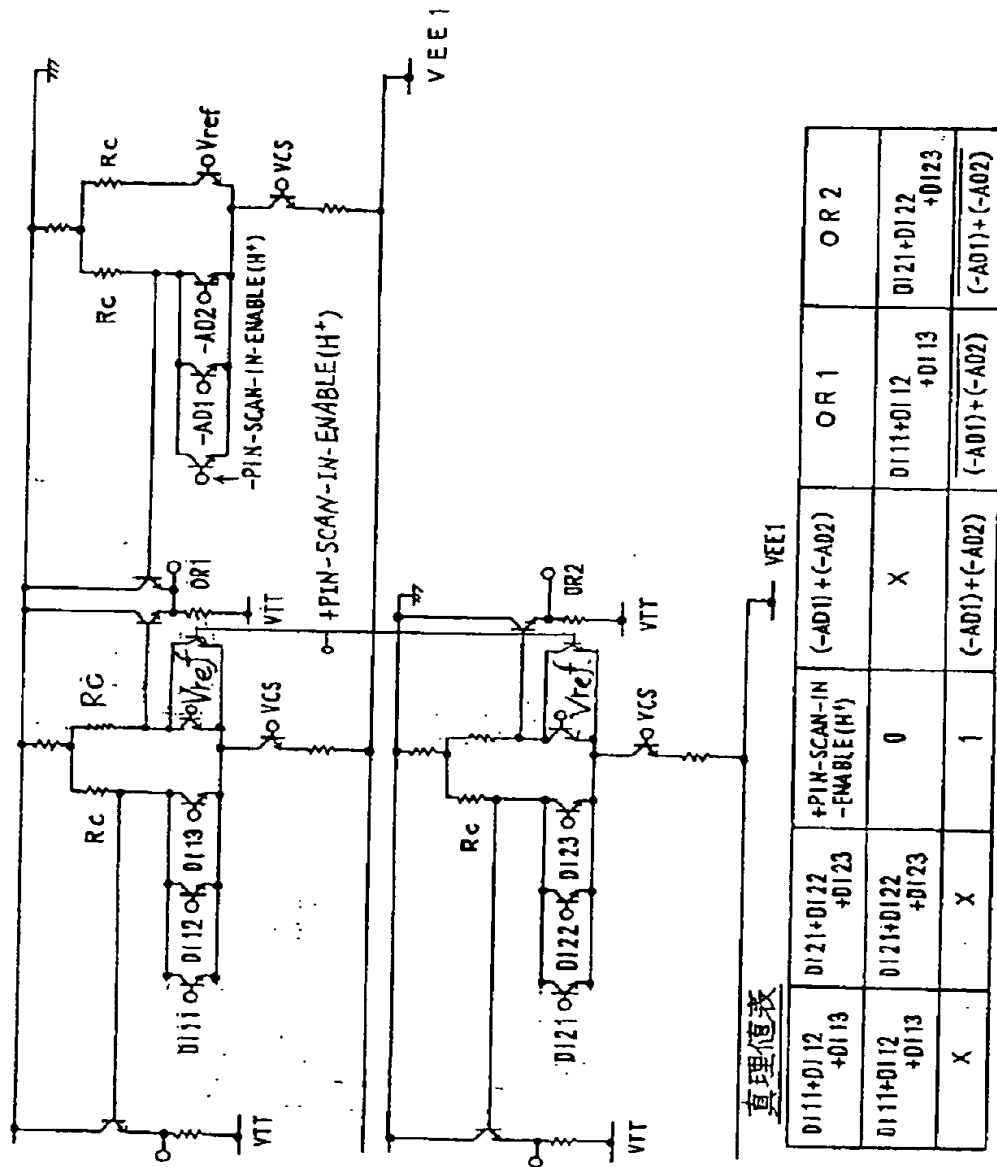


真理値表

D11+D12+D13	+PIN-SCAN-IN-ENABLE(H ⁺)	(-AD1)+(-AD2)	OR出力
D11+D12+D13	0	X	D11+D12+D13
X	1	(-AD1)+(-AD2)	(-AD1)+(-AD2)

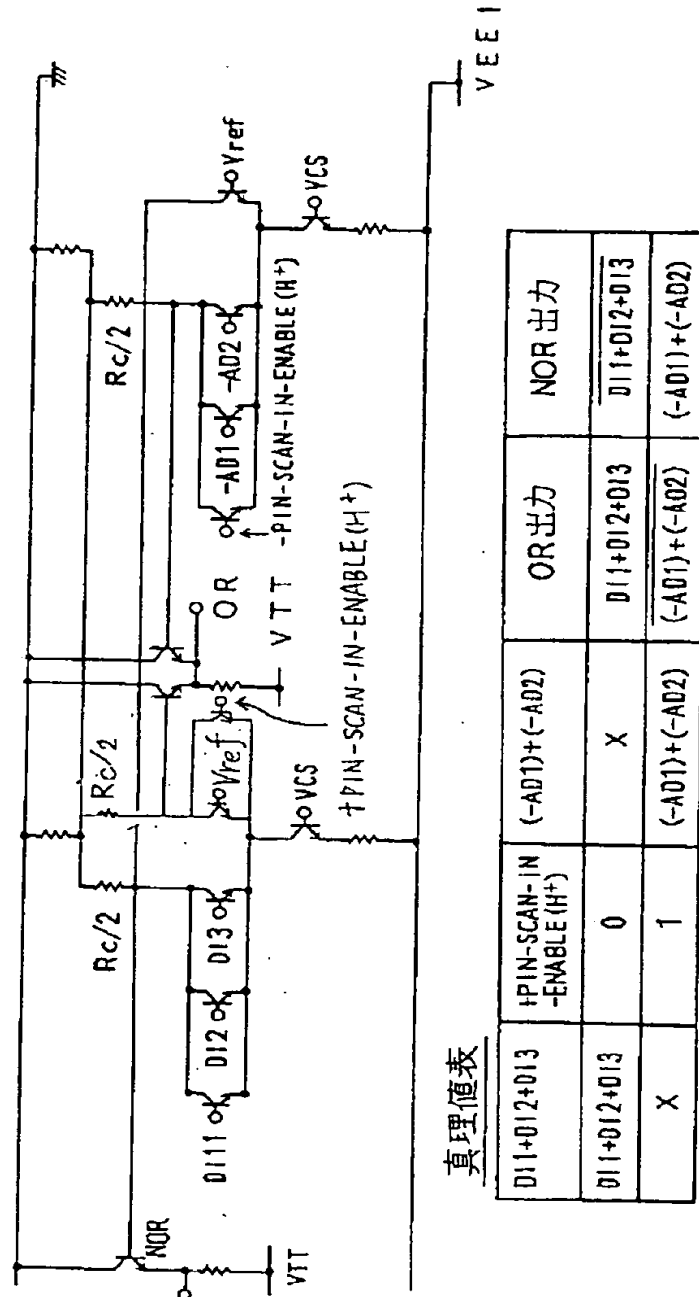
【図10】

ORゲートタイプ・2入力出力バッファの実施例の回路図



【図11】

ORゲートタイプ・差動ゲートの実施例の回路図



【図13】

従来の回路実装基板の試験方法の説明図

